

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-038043
 (43)Date of publication of application : 19.02.1991

(51)Int.CI. H01L 21/321
 H01L 21/3205

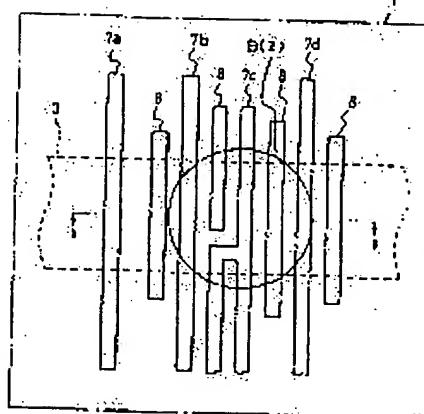
(21)Application number : 01-173727 (71)Applicant : HITACHI LTD
 (22)Date of filing : 05.07.1989 (72)Inventor : OWADA NOBUO
 OOGAYA KAORU
 KOBAYASHI TORU
 KAWAJI MOTONORI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To improve the connection reliability of a solder bump, by arranging dummy patterns in the region positioned almost below the solder bump in the residual region of a wiring layer below the uppermost layer wiring.

CONSTITUTION: In the residual region of the same wiring layer as third layer Al wirings 7a-7d, dummy patterns 8 are arranged at specified intervals in the region below a solder bump 2. The patterns are constituted of the same material as, e.g. the third layer Al wirings 7a-7d, and have the same line width. As a result, the wiring density in the region where the dummy patterns 8 are formed becomes high, so that the surface of an interlayer insulating film formed on the patterns 8 is flattened. That is, step-difference is not generated in a substratum of the uppermost wiring layer of the region positioned nearly below the solder bump 2, so that a flat electrode pad can be formed. Thereby connection reliability of the solder bump 2 can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

④日本国特許庁 (JP)

④特許出願公開

④公開特許公報 (A) 平3-38043

④Int.Cl.

H 01 L 21/321
21/3205

識別記号

序内整理番号

④公開 平成3年(1991)2月19日

6940-5F H 01 L 21/82
6810-5F 21/88B
Z

審査請求 未請求 請求項の数 10 (全12頁)

④発明の名称 半導体集積回路装置

④特 願 平1-173727

④出 願 平1(1989)7月5日

④発明者 大和田 伸郎 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

④発明者 大 路 谷 薫 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

④発明者 小 林 徹 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

④発明者 河 路 幹 規 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

④出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
④代理人 弁理士 筱井 大和

明細書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. 施設層によって互いに絶縁された複数の配線層を備え、その最上層配線の一部に設けた電極パッド上に半田バンプを接合した半導体集積回路装置であって、前記最上層配線の下方の配線層の余隙域のうち、前記半田バンプのほぼ下方に位置する領域にダミーパターンを設けたことを特徴とする半導体集積回路装置。

2. 前記ダミーパターンは、同層の配線と同一の材料で構成されていることを特徴とする請求項1記載の半導体集積回路装置。

3. 前記ダミーパターンは、同層の配線と同一の構造を有し、隣接する同層の配線または他のダミーパターンとの間隔が等しくなるような位置に設けられていることを特徴とする請求項1記載の半導体集積回路装置。

4. 前記ダミーパターンは、フローティング状態

になっていることを特徴とする請求項1記載の半導体集積回路装置。

5. 前記ダミーパターンは、同層の配線の一端を構成していることを特徴とする請求項1記載の半導体集積回路装置。

6. 前記ダミーパターンは、最上層配線の直下の配線層に設けられていることを特徴とする請求項1記載の半導体集積回路装置。

7. 前記ダミーパターンは、底敷の配線層に設けられていることを特徴とする請求項1記載の半導体集積回路装置。

8. 前記ダミーパターンは、同層の配線チャネルと、その直下の配線層の配線チャネルとが交叉する領域上にマッシュ状に設けられていることを特徴とする請求項1記載の半導体集積回路装置。

9. 前記半田バンプは、Cr、CuおよびAuを順次積層してなる半田下地層を介して電極パッド上に接合されていることを特徴とする請求項1記載の半導体集積回路装置。

(2)

特開平3-38043

10. 最上層配線の開端に 50 度～70 度の傾斜を設けたことを特徴とする請求項 1 記載の半導体集成回路装置。

3. 発明の詳細な説明

【請求上の利用分野】

本発明は、半導体集成回路装置に関し、特に半田パンプを介して半導体チップを基板に実装するフリップチップ方式の半導体集成回路装置に適用して有効な技術に関するものである。

【従来の技術】

半導体集成回路装置の高密度化、高集成化に伴い、配線設計の自由度の向上や配線遮断の低減などを目的とする配線の多層化が必須の技術となってしまっており、例えばバイオード・トランジスタで構成した論理LSIでは、A4 (アルミニウム) 4層配線構造が、またMOS・FETで構成したメガピット (Mbit) 級のメモリLSIでは、A42層配線構造が実現されている。

配線を多層化する際の課題となるのは、層間遮断の平坦化および層間接続孔 (スルーホール)

入出力ピン) の数が急速に増大し、半導体チップの周辺部に設けたポンディングパッドにワイヤを接続して外部回路との接続を行うワイヤポンディング方式が限界に達している。またワイヤポンディング方式は、内部領域の配線を周辺部のポンディングパッドまで引き出すので配線長が長くなり、信号伝達速度が遅延する欠点があるため、高速動作が要求される論理LSIの実装方式としては不向きである。

このような理由から、集積回路の最上層配線に半田などで構成されたパンプ (Bump, 突起電極) を複合し、このパンプを介してチップを基板に実装する、いわゆるフリップチップ方式が注目されている。フリップチップ方式は、チップの周辺部のみならず、内部領域にも穴子を設けることができる、チップの多ビン化を促進することができる利点がある。またフリップチップ方式は、ワイヤポンディング方式に比べてチップ上の配線長を短くすることができるので、高速動作が要求される論理LSIに好適な実装方式である。

特開平3-38043(2)

の高信頼化であり、前者の対策としては、バイオースパック技術やSOG (Spin On Glass) 技術などが用いられ、後者の対策としては、選択CVDによるW (タンクステン) の埋込み技術などが用いられている。

また、多層配線構造を有する半導体集成回路においては、配線をバーニングする際のレジスト膜の疊積効果やA₁膜をエッティングする際の遮光のため、同一配線層における配線密度の高い領域と低い領域とで、配線の仕上がり寸法、特に配線間に差が生じてしまうという問題が指摘されている (特開昭60-119749号)。その対策として、上記特開昭60-119749号では、配線密度の低い領域に配線としての機能を有しないダミーペースタルを配置することによって、同一配線層の配線密度を均一化する技術が開示されている。

一方、ゲートアレイやマイクロコンピュータなどの論理LSIにおいては、実積回路の多層化、高密度化に伴い、外部回路との接続を行う端子 (

上記フリップチップ方式については、例えばIBM社発行、「IBM Journal of Research and Development, V 01, 13, No. 3」 P 239～P 250 に詳細な記載がある。この文献によれば、最上層配線への半田パンプの接続は、次のようにして行われる。

まず、チップの表面を保護するバッシャーフィルムをエッティングで開孔し、最上層のA₁配線に達するコンタクトホールを設けて電極パッドを形成する。次に、蒸着法を用いて電極パッド上に、例えばCr (クロム) 、Cu (銅) およびAu (金) の順序で層次接続して半田下地層 (BLM: Bump Limiting Metallurgy) を形成する。半田下地層は、コンタクトホールの底面、側壁および上端部を覆うように形成する。半田下地層の最下層を構成するCrは、半田パンプとA₁配線パッドとの合金化反応を防止するとともに、半田パンプの外延を決める膜として設けられる。半田下地層の中間層を構成するCuは、半田パンプのねれ性

(3)

特開平3-38043

を向上させて下地層との結合強度を大きくするために設けられる。半田下地層の最上層を得成する A 4 は、B L M 層の加工プロセスにおいて下層の C 4 の腐食を防止するために設けられる。

次に、上記半田下地層の上にスズ (Sn) / Pb (亜鉛) 合金からなる半田膜を選択的に被着し、リフロー炉内でこの半田膜をウェットバックして半導体の半田パンプを形成する。

〔発明が解決しようとする課題〕

本発明者は、A 4 と B L M 層のような多層配線層を備えた半導体基板回路構造の電極パッド上に半田パンプを形成する際、下記のような問題が生じることを見出した。

すなわち、配線を多層化すると、それにつれて上下方向の圧縮の重なりによる下地被着が異様的に増大し、最上層配線およびその上層のパッシバーション膜の平坦度が低下するようになる。特にバイオーラ・トランジスタで構成した論理 LSI は、配線遮蔽の低減やエレクトロマイグレーション耐性向上の観点から、配線の膜厚を厚くしてい

特開平3-38043 (3)

るので、最上層配線やパッシバーション膜の平坦度の低下が著しい。

最上層配線やパッシバーション膜の平坦度が低下すると、下記のような問題が生じて半田パンプの接続信頼性が低下する。すなわち、最上層配線の平坦度が低下すると、電極パッドの平坦度も低下するため、電極パッド上に形成される半田下地層のカバレージ (段差被覆性) が低下する。半田下地層の最下層を構成する C 4 のカバレージが低下すると、半田パンプと A 4 と電極パッドとの間に合金化反応が生じ、接続抵抗が増大する。半田下地層の中間層を構成する C 4 のカバレージが低下すると、半田パンプのねれ性が低下し、下地層との接合強度が低下する。半田下地層の最上層を構成する A 4 のカバレージが低下すると、下層の C 4 が腐食しやすくなるので、接続抵抗の増大や接合強度の低下を引き起こす。またパッシバーション膜の平坦度が低下すると、例えば第 10 図に示すように、隣り合った二つの最上層配線 50, 50 を跨ぐような位置に半田パンプ 51 を形成する際

に、パッシバーション膜 52 の段差部において半田下地層 53 のカバレージが低下し、段差部 A の上方の半田パンプ 51 内にポイドやクラックなどの欠陥 54 が発生するので、半田パンプ 51 の熱抵抗が増大したり、接合強度が低下したりする。

本発明の目的は、半田パンプの接続信頼性を向上させることのできる技術を提供することにある。

本発明の他の目的は、上記目的を達成するとともに、半導体基板回路の多層化を促進することのできる技術を提供することにある。

本発明のさらに他の目的は、上記目的を達成するとともに、半導体チップの多ビン化を促進することのできる技術を提供することにある。

本発明の開発並びにその他の目的と斬新な特徴は、本明細書の記述および添付図面から明らかになるであろう。

〔課題を解決するための手段〕

本篇において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

本篇の一発明は、遮蔽膜によって互いに遮蔽された複数の配線層を備え、かつ、その最上層配線に半田パンプを複合した半導体基板回路構造において、最上層配線の下方の遮蔽層の余積層のうち、半田パンプのはば下方に位置する領域にダミーパターンを設けるものである。

〔作用〕

上記した手段によれば、ダミーパターンを設けた領域の配線 (ダミーパターンを含む) 図度が高くなるので、その上層に形成される露開遮蔽層の表面が平坦化される。すなわち、半田パンプのはば下方に位置する領域の最上層配線の下地に段差が生じないので、平坦な電極パッドを形成することができる。その結果、電極パッド上に形成される半田下地層のカバレージが良好になるので、半田パンプの接続信頼性が向上する。

以下、実施例を用いて本発明を詳述する。

〔実施例 1〕

本実施例 1 の半導体基板回路構造は、例えば A 4 と B L M 層構造を有する E C L (Emitter Coupled

(4)

特開平3-38043

logic) ゲートアレイである。

第3図は、このECLゲートアレイを形成した半導体チップ1を示している。チップ1は、例えばp+ ノンシリコン單結晶により構成されている。チップ1の表面のほぼ全域には、外部回路との接続を行う端子を構成する多数の半田パンプ2が形成されている。半田パンプ2は、ECLゲートアレイの内部回路に電源(V_{dd}、V_{rr}、V_{ee}など)を供給するための電源供給用半田パンプ2と、信号を入出力するための信号用半田パンプ2とで構成されている。

第4図は、一つの電源供給用半田パンプ2とその下方の第4層Aと配線3とを拡大して示している。最上層配線である第4層Aと配線3は、ECLゲートアレイの内部回路に電源を供給する電源用配線を構成しており、その線幅は、例えば数十~百数十μmである。半田パンプ2と第4層Aと配線3とは、コンタクトホール4を通じて電気的に接続されている。コンタクトホール4は、チップ1の表面を保護するバッジベーション膜5をエ

開域のうち、半田パンプ2の下方領域には、例えば第3層Aと配線7a~7dと同一の材料で構成され、かつ同一の線幅を有するダミーパターン8が所定の間隔を置いて設けられている。ダミーパターン8は、第3層Aと配線の配線チャネルのうち、配線が形成されていない配線チャネル上に形成されている。ダミーパターン8は、例えば第3層Aと配線7a~7dと同一のマスターを用いて同一の工程で作成される。

上記ダミーパターン8は、第3層Aと配線7a~7dと同一の材料で構成されているが、フローティング状態となっているので、配線としての機能は有していない。また、半田パンプ2の下方領域とその近傍にのみ設けられ、他の領域には設けられていないので、ダミーパターン8を設けたことによる第3層Aと配線7a~7dの寄生容量の増加は、最小限に抑えられている。

第2図は、上記電源供給用半田パンプ2の下方領域におけるチップ1の断面を示している。チップ1の主面には、例えばp+ ノンのコレクタ埋込み

特開平3-38043(4)

チッピングで開孔して形成したものである。半田パンプ2は、コンタクトホール4の底部に露出した第4層Aと配線3、すなわち電極パッド6上に形成されている。一方、信号用半田パンプ2は、第4層Aと配線のうち、ECLゲートアレイの信号用配線を構成する配線(図示せず)の電極パッド上に形成されている。

第1図は、上記電源供給用半田パンプ2の下方の領域における配線のレイアウトを示している。半田パンプ2は、図の実線で囲まれた領域Bに配置されており、その下方には、側面第4層Aと配線3が図の左右方向に延びている。第4層Aと配線3のさらに下方には、第3層Aと配線7a~7dが所定の間隔を置いて図の上下方向に延びている。第3層Aと配線7a~7dは、ECLゲートアレイの信号用配線を構成しており、その線幅は、例えば数μmである。第4層Aと配線3と第3層Aと配線7a~7dとの間に、第1図では図示しない開域部膜8が設けられている。

第3層Aと配線7a~7dと同一の配線層の介

層9が形成され、その上層には、例えばp+ ノンシリコンからなるエピタキシャル層10が形成されている。エピタキシャル層10の所定領域には、例えばS101からなるフィールド绝缘膜11が形成され、これにより、素子間および素子内が分離されている。素子分離用のフィールド绝缘膜11の下方には、例えばp+ ノンのチャネルストップ層12が形成されている。

フィールド绝缘膜11で囲まれた領域のエピタキシャル層10内には、例えばp+ ノンの高活性ベース領域13と、例えばp+ ノンのグラフトベース領域14とが形成されており、高活性ベース領域13内には、例えばp+ ノンのエミッタ領域15が形成されている。また、コレクタ埋込み層の一部には、例えばp+ ノンのコレクタ取出し領域16が接続されている。そして、上記エミッタ領域15と、高活性ベース領域13と、高活性ベース領域13の下方におけるエピタキシャル層10およびコレクタ埋込み層16からなるコレクタ領域とで一つのn-p-n ノバイポーラ・トランジスタが構成されている。

(5)

特開平3-38043

そして、上記ロードアバイポーラ・トランジスタと図示しない抵抗とをそれぞれ複数個用いて、例えば図5に示すようなECL3入力ORゲートなどの基本ゲートが構成され、さらにこの基本ゲートを多数重複してECLゲートアレイが構成されている。

前記グラフトベース領域14、エミッタ領域15およびコレクタ取出し領域16の各側壁上には、コンタクトホール17a、17b、17cが設けられている。グラフトベース領域14には、コンタクトホール17aを通じて、例えばボリシリコンからなるベース引出し電極18が接続されている。また、エミッタ領域15には、コンタクトホール17bを通じて、例えばボリシリコンからなるエミッタ引出し電極19が接続されている。

A1配線21は、例えばSiO₂からなる絶縁膜である。絶縁膜21の上層には、第1層A1配線22a、22b、22c、22dが形成されている。A1配線22a～22dは、例えばAl-Si-Cu合金の下層にTiN(チタンナイトライ

特開平3-38043(5)

Y)などのバリヤータルを兼ねた被覆構造を有しており、その被覆は、例えば酸性のである。A1配線22aは、絶縁膜21に開孔されたスルーホール23aを通じてベース引出し電極18に接続されている。A1配線22bは、スルーホール23bを通じてエミッタ引出し電極19に接続されている。A1配線22cは、スルーホール23cおよび前記コンタクトホール17cを通じてコレクタ取出し領域16に接続されている。すなわち、A1配線22a、22b、22cは、それぞれ前記ロードアバイポーラ・トランジスタのベース電極、エミッタ電極、コレクタ電極を構成している。第1層A1配線22a～22dの上層には、例えばプラズマCVD法で形成されたSi-N_x膜と、SOG(Spin On Glass)と、プラズマCVD法で形成されたSiO₂とを重層してなる第1の層間絶縁膜24が形成されている。層間絶縁膜24の上層には、例えばA1-Si-Cu合金からなる第2層A1配線25a、25bが設けられている。A1配線25a、25bは、例えば酸性の被覆

を有している。例えばA1配線25aは、層間絶縁膜24に形成されたスルーホール26を通じて第1層A1配線20aに接続されている。

第2層A1配線25a～25bの上層には、例えば前記第1の層間絶縁膜24と同様の構成からなる第2の層間絶縁膜27が形成されている。層間絶縁膜27の上層には、例えばA1-Si-Cu合金からなる第3層A1配線28a～28dが設けられている。例えばA1配線25aは、層間絶縁膜27に開孔されたスルーホール28を通じて第2層A1配線25aに接続されている。

第3層A1配線28a～28dと同一の配線層の余領域のうち、半田パンプ2の下方領域とその近傍には、前記した複数本のダミーパターン3が設けられている。ダミーパターン3は、例えば半田パンプ2の下方領域とその近傍に位置する第3層A1配線28b、28c、28dの各々と交互に、かつ等しい間隔を置いて配置されている。その結果、パンプ2の下方領域とその近傍とは、同一配線層の他の領域に比べて配線(ダミーパターンを含む)

が高密度、かつ、均一になっている。

第3層A1配線28a～28dおよびダミーパターン3の上層には、前記第1の層間絶縁膜24や第2の層間絶縁膜27と同様の構成からなる第3の層間絶縁膜29が形成されている。そして、半田パンプ2の下方領域とその近傍の層間絶縁膜29は、その下層にダミーパターン3を含む配線が高密度、かつ、均一に設けられているため、その表面がほぼ完全に平坦化されている。

層間絶縁膜29の上層には、例えばA1-Si-Cu合金からなる電源供給用の第4層A1配線3が設けられている。第4層A1配線3は、大電流を流すことができるよう、その被覆および厚さが下層(第1層～第3層)のA1配線よりも大きく構成されている。そして、半田パンプ2の下方領域およびその近傍では、第4層A1配線3の下地となる層間絶縁膜29の表面がほぼ完全に平坦化されているので、第4層A1配線3もその表面がほぼ完全に平坦化されている。

第4層A1配線3の上層には、例えばバイアス

(6)

特開平3-38043

スパッタ法で形成したSiO₂からなるバッシャー・シアン膜5が設けられており、このバッシャー・シアン膜5でチップ1の表面が保護されている。バッシャー・シアン膜5の一端には、コンタクトホール4が形成されており、その底部には、電極バッド6を形成する第4層Aと配線3の一端が露出している。電極バッド6は、前述した理由から、その表面がほぼ完全に平坦化されている。

電極バッド6上には、例えば下層から順次Cr、CrO_xおよびAl_xの薄膜を蒸着法で積層してなる薄い半田下地層30が形成されている。半田下地層30は、段差のない平坦な電極バッド6上に形成されているので、そのカバレージが極めて良好となっており、コンタクトホール4の底面、側壁および上端部をほぼ均一な面層で覆っている。

半田下地層30の上には、例えばSn/Pb合金からなる半球状の半田バンプ2が接着されている。半田バンプ2は、例えばチップ1の表面の全層にホトレジスト(図示せず)を被着した後、コンタクトホール4の上方のホトレジストをエッチ

外部に開放する構造になっている。ムライト基板41の下面には、チップ1に形成された半田バンプ2よりも一目り大きい半田バンプ45が接着されている。半田バンプ45は、例えばW(タンダステン)などからなる内部記録46を通じてチップ1と電気的に接続されている。

以上の構成からなる本実施例1によれば、下記のような効果を得ることができる。

(1) 第3層Aと配線3と～30と同一の配線層の金属膜のうち、半田バンプ2の下方とその近傍にグミーバーン5を配置したことにより、この領域の配線(グミーバーンを含む)密度が高くなり、その上層に形成される層間絕縁膜29の表面が平坦化されるので、層間絕縁膜29の上に形成される第4層Aと配線3(電極バッド6)が平坦化される。その結果、電極バッド6上に形成される半田下地層30のカバレージが良好になり、半田バンプ2の接続信頼性が向上する。

(2) 上記(1)により、半田バンプ2を介してチップ1をマイクロチップキャリア40のムライト基板

特開平3-38043(6)

シングで除去し、次いでチップ1の表面の全層に半田を被着した後、前記ホトレジストおよびその表面の半田をエッチバック法により同時に除去し、その後、コンタクトホール4の内部に残った半田をリフロー炉内でウェットバッタして形成したものである。半田バンプ2は、カバレージが極めて良好な半田下地層30の上に形成されているので、その接続信頼性が極めて高い。

上記した構成からなるチップ1は、半田バンプ2を介して基板に接続される。例えば第6図は、上記チップ1を実現したマイクロチップキャリア(Micro Chip Carrier: MCC)40を示している。半田バンプ2を介してムライト基板41の電極42上にフェイスダウンボンディングされたチップ1は、例えば電化アルミニウム(AlN)からなるキャップ43で気密封止されている。キャップ43は、半田44を介してムライト基板41上に接合されている。キャップ43の下面とチップ1の上面とは、半田44を介して接合されており、チップ1から発生する熱をキャップ43を通じて

41などにフェイスダウンボンディングする際の接続信頼性が向上する。

(3) 上記(1)により、ECLゲートアレイの多層化を促進することができる。

(4) 上記(1)により、ECLゲートアレイの多ビン化を促進することができる。

【実施例2】

本実施例2の半導体集積回路装置は、前記実施例1と同じくAと4層記録構造を有するECLゲートアレイである。

第7図は、1つの電源供給用半田バンプ2とその下方領域における配線のレイアウトを示している。半田バンプ2は、四の実線で囲まれた領域Dに配置されており、その下方には、最上層配線である電源供給用の第4層Aと配線3が図の左右方向に延びている。第4層Aと配線3のさらに下方には、信号入出力用の第3層Aと配線7と～7dが所定の間隔を置いて図の上下方向に延びている。前記実施例1と同じく、第4層Aと配線3の線幅は、例えば数十～百数十μmであり、第3

(7)

特開平3-38043

■ A 1 配線 7 8 ~ 7 14 の横幅は、例えば数カ所である。

第3層 A 1 配線 7 8 ~ 7 14 のさらに下方には、信号入出力用の第2層 A 1 配線 2 5 1 ~ 2 5 1 が所定の間隔を置いて図の左右方向に並んでいている。第2層 A 1 配線 2 5 1 ~ 2 5 1 の横幅は、第3層 A 1 配線 7 8 ~ 7 14 のそれと同じく、例えば数カ所である。

第3層 A 1 配線 7 8 ~ 7 14 と同一の配線層の水領域のうち、半田パンプ 2 の下方領域とその近傍には、例えば第3層 A 1 配線 7 8 ~ 7 14 と同一の材料で構成された方形状のダミーパターン 8 が所定の間隔を置いて設けられている。ダミーパターン 8 は、第3層 A 1 配線 7 8 ~ 7 14 と同層の水領域と、第2層 A 1 配線 2 5 1 ~ 2 5 1 と同層の水領域とが異なる領域にメッシュ状に配置されている。すなわち、ダミーパターン 8 は、同層（第3層）の配線チャネルとその直下の配線層（第2層）の配線チャネルとが交差する領域上に配置されている。ダミーパターン 8 は、例えば第3層 A 1

が存在しない配線チャネル上にダミーパターン 8 をレイアウトしようとするとき、配線のレイアウトが異なる品種毎にダミーパターン 8 をレイアウトしなければならないため、ゲートアレイの開発期間が長期間化するという問題が生じる。ところが、本実施例 2 では、第3層 A 1 配線の配線チャネルと第2層 A 1 配線の配線チャネルとが交差する領域上にダミーパターン 8 を固定バケーンとしてレイアウトしておくことにより、配線のレイアウト設計を行う際に、ダミーパターン 8 を発生させるための特別な処置が不要となるので、ゲートアレイの開発期間が長期間化することはない。

（実施例 3）

本実施例 3 の半導体集成回路装置は、前記実施例 1 または実施例 2 の ECL ゲートアレイにおける第4層 A 1 配線 3 の側壁に横幅を設けた構成になっている。

第 8 図に示すように、ゲートアレイはその品種により、半田パンプ 2 が第4層 A 1 配線 3 の直上には配置されず、隣り合った二本の A 1 配線 3 、

特開平3-38043(7)

配線 7 8 ~ 7 14 と同一のマスクを用いて同一の工程で作成される。

なお、本実施例 2 の ECL ゲートアレイは、上記した点を除いては、前記実施例 1 の ECL ゲートアレイと同一の構成となっているので、同一構成部分の説明は省略する。

このように、本実施例 2 のダミーパターン 8 は、半田パンプ 2 の下方領域とその近傍のみ設けられ、しかもその直下に配線が存在しない領域のみ設けられているので、その占有面積は前記実施例 1 のダミーパターン 8 のそれよりも小さい。そのため、ダミーパターン 8 を配置したことにより増加する第3層 A 1 配線 3 8 ~ 3 14 の寄生容量を実施例 1 の場合よりもさらに小さくすることができます。

ところでゲートアレイは、あらかじめトランジスタや抵抗などの素子を形成したマスクアースライス上に、品種毎に配線をレイアウトする方式の S I である。使って、前記実施例 1 の場合のように、第3層 A 1 配線の配線チャネルのうち、配線

3 を跨ぐような位置に配置される場合がしばしばある。これは、チップ 1 上における半田パンプ 2 の位置が固定されていても、第4層 A 1 配線 3 の横幅や間隔は、品種によって異なるためである。そして、このような場合には、半田パンプ 2 の下方領域にダミーパターン 8 を設けるだけでは、半田下地層 3 0 のカバーレージが良好にならないこともある。すなわち、前記第 10 図を用いてすでに説明したように、隣り合った二本の最上層配線 5 0, 5 0 の間に段差が生じているような場合には、バッシュペーション層 5 2 の段差部分で半田下地層 3 3 のカバーレージが低下するため、段差部分の上方の半田パンプ 5 1 内にボイドやクラックなどの欠陥 5 4 が発生し易くなり、半田パンプ 5 1 の接線信頼性が著しく低下してしまうからである。

そこで本実施例 3 では、第 8 図に示すように、最上層配線である第4層 A 1 配線 3 の側壁に横幅を設けるようにした。このようにすると、第4層 A 1 配線 3 上に形成されるバッシュペーション層 5 のカバーレージが向上するので、段差のない平坦な

バッシベーション膜5が得られる。次って、拂り合った二本のA1配線3、3間に巻きが生じている場合においても、半田下地膜3dのカバーレージが良好になり、半田バンプ5内にボイドやクラックなどの欠陥5dが発生するのを防止することができる。半田バンプ2の接続信頼性が向上する。

第4層A1配線3の側壁に傾斜を設けるには、A1配線3をバーニングするか、例えばエッチャリングなどの等方性のエッティングを行えばよい。その際、隔壁の傾斜角αは、例えば50度～70度がよい。なお、本実施例3のECLゲートアレイは、上記した点を除いては、前記実施例1または実施例2のECLゲートアレイと同一の構成となっているため、同一構成部分の説明は省略する。

第4層A1配線3の側壁に傾斜を設けることにより、さらに次のような効果が得られる。従来、電極パッド上に半田バンプを複数する場合には、バイアススパッタ法を用いてバッシベーション膜

を形成しない範囲で種々変更可能であることはいうまでもない。

実施例1～3のダミーパターンは、いずれもワーネィング状態になっているため、配線としての機能は有していないが、例えば第9回に示すように、半田バンプ2の下方に位置する隔壁の第3層A1配線3b～3dの一端に分岐31を設け、この分岐31でダミーパターン8を構成してもよい。

実施例1～3のダミーパターンは、いずれも第3層A1配線と同層の余隙域に設けられているが、第2層A1配線と同層の余隙域や第1層A1配線と同層の余隙域に設けてもよい。またダミーパターンは、複数の隔壁層のそれぞれに設けててもよい。

以上の説明では、主として本発明者によってなされた発明をその背景となつた利用分野である4層A1配線構造を例えたECLゲートアレイに適用した場合について説明したが、本発明は、これに限定されるものではなく、多層配線構造を備えたフリップチップ方式の半導体素子回路並に広

特開平3-38043(8)

を形成していた。これは、バイアススパッタ法で形成したバッシベーション膜は、CVD法で形成したバッシベーション膜よりもカバーレージが良いからである。しかしその反面、バイアススパッタ法は、薄膜の堆積とエッティングとが同時に進行する成膜法であるため、CVD法に比べて成膜速度が小さいという欠点がある。

ところが、本実施例3では、第4層A1配線3の側壁に傾斜を設けたので、CVD法でバッシベーション膜5を形成する場合においても、良好なカバーレージが得られる。すなわち、第4層A1配線3の側壁に傾斜を設けることにより、成膜速度の大きいCVD法でカバーレージの良好なバッシベーション膜5を形成することができる。半田バンプ2の接続信頼性の向上と、バッシベーション膜5の成膜工程の簡略化とを併せて達成することができる。

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は、前記実施例1～3に限定されるものではなく、その要旨

を適用することができる。

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

①、半田バンプが複数される最上層配線の下方の配線層の余隙域のうち、半田バンプのほぼ下方に位置する隔壁にダミーパターンを配設することにより、半田バンプの下方隔壁の最上層配線を平坦化することができる。電極パッド上に形成される半田下地膜のカバーレージが良好となり、半田バンプの接続信頼性が向上する。

②、前記ダミーパターンを、隔壁の配線チャネルとその直下の配線層の配線チャネルとが交差する隔壁上にメッシュ状に設けることにより、ダミーパターンを設けたことによる成膜寄生重量の増加を最小限にとどめることができる。また、配線のレイアウト設計を行う際には、ダミーパターンを発生させるための特別な処理が不要となるので、ゲートアレイの開発期間を短縮することができる。

(9)

特開平3-38043

iii. 最上層配線の側壁に傾斜を設けることにより、パッシバーション層のカバーレージが向上し、その表面の平坦度が向上するので、半田下地層のカバーレージが良好になり、半田バンプ内にボイドやクラックなどの欠陥が発生するのを防止することができるので、半田バンプの接觸強度が向上する。

4. 図面の簡単な説明

第1図は、本発明の一実施例である半導体集積回路装置におけるダメーパターンの配置を示す半導体チップの要部平面図。

第2図は第1図のⅠ-Ⅱ線における半導体チップの断面図。

第3図は、半田バンプのレイアウトを示す半導体チップの平面図。

第4図は、半田バンプを拡大して示す半導体チップの要部平面図。

第5図は、ECL3入力ORゲートを示す回路図。

第6図は、半導体チップを封止したマイクロチップキャリアの断面図。

～ス領域、15～エミッタ領域、16～コレクタ取出し領域、18～ベース引出し電極、20、21～絶縁層、22a～22d～第1層A上配線、23a～23c、26、28～スルーホール、24～第1層側地層、25a～25f～第2層側地層、29～第3層側地層、30、33～半田下地層、31～分枝、40～マイクロチップキャリア、41～ライト基板、42～電極、43～キャップ、44～半田、46～内部配線、50～最上層配線、54～欠陥。

代理人弁理士 関井大和

特開平3-38043(9)

第7図は、本発明の他の実施例である半導体集積回路装置におけるダメーパターンの配置を示す半導体チップの要部平面図。

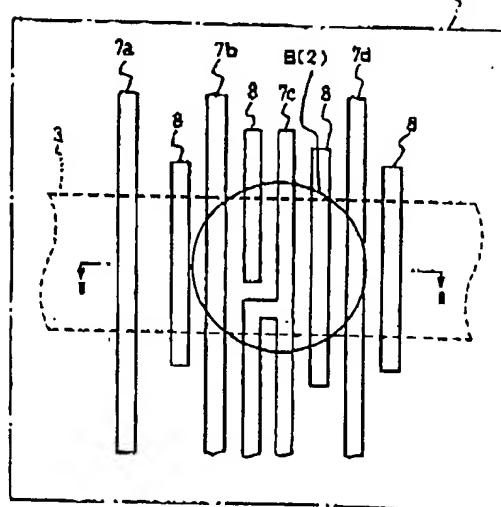
第8図は、パッシバーション層の段差を拡大して示す半導体チップの断面図。

第9図は、本発明のさらに他の実施例である半導体集積回路装置におけるダメーパターンの配置を示す半導体チップの要部平面図。

第10図は、従来の半導体集積回路装置におけるパッシバーション層の段差を拡大して示す半導体チップの断面図である。

1～半導体チップ、2、45、51～半田バンプ、3～第4層A上配線、4、17a、17b、17c～コンタクトホール、5、52～パッシバーション層、6～電極パッド、7a～7c～第3層A上配線、8～ダメーパターン、9～コレクタ取込み層、10～エピタキシャル層、11～フィールド絶縁層、12～チャネルストップ層、13～実基ベース領域、14～グラウトペ

第1図



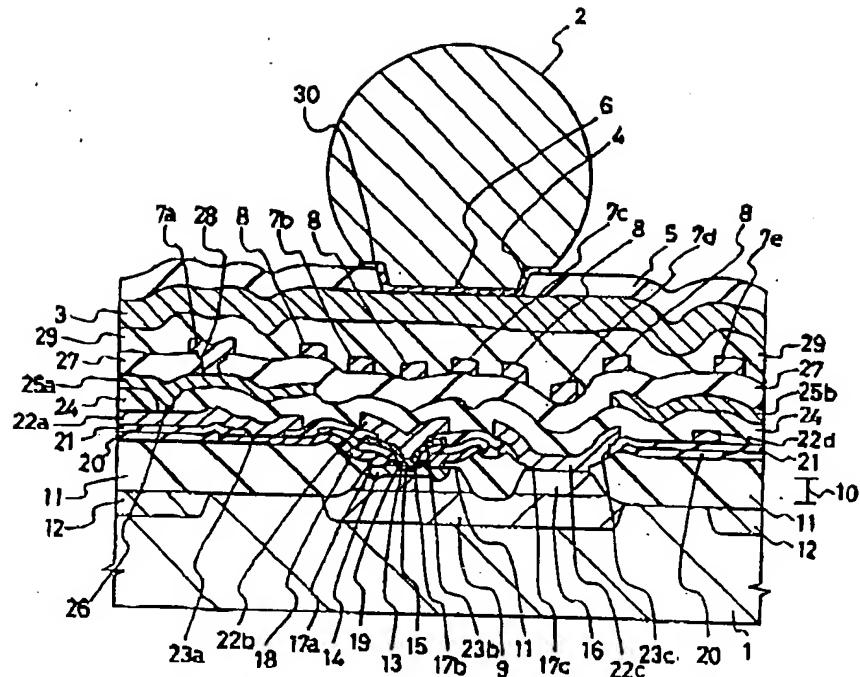
1:半導体チップ 7a-7d:第3層A上配線
2:半田バンプ 8:ダメーパターン
3:第4層A上配線 9:コレクタ取込み層
10:エピタキシャル層 11:フィールド絶縁層
12:チャネルストップ層 13:実基ベース領域
14:グラウトペ

(10)

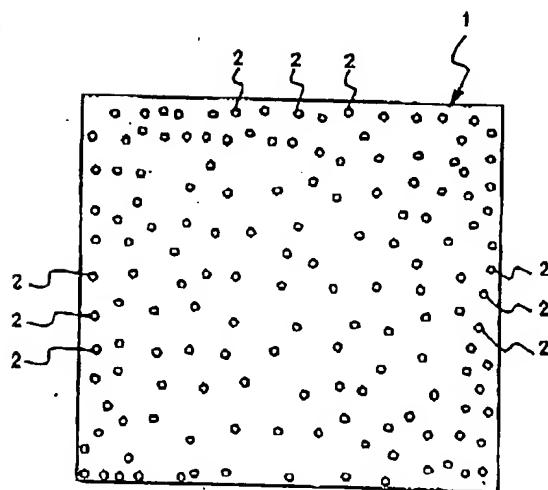
特開平3-38043

持閑平3-38043 (10)

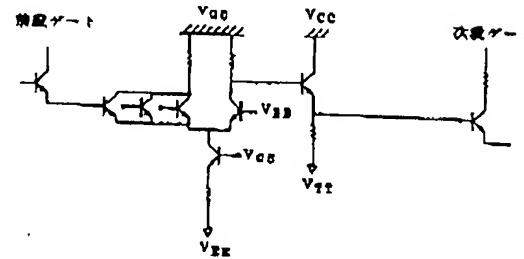
第 2 回



第3圖



第 5 図

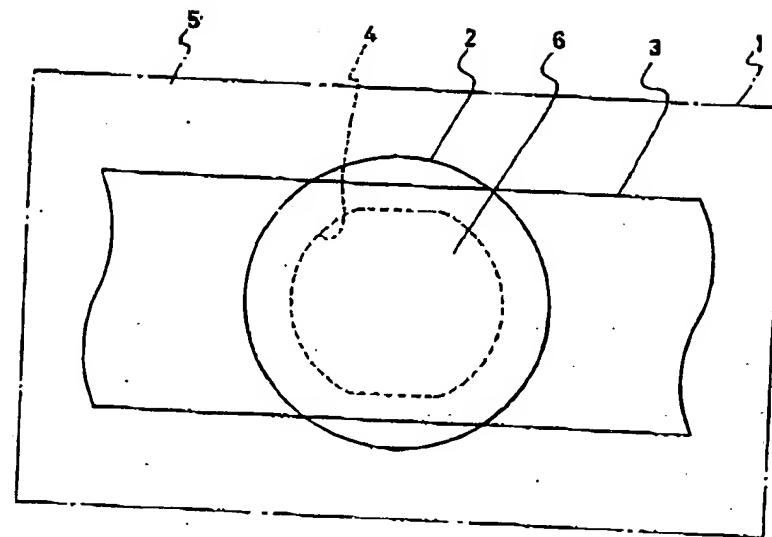


(11)

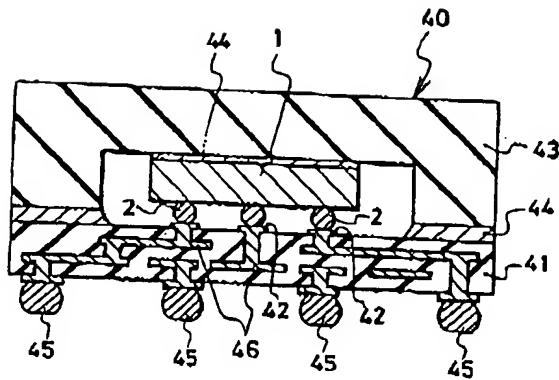
特開平3-38043

特開平3-38043 (11)

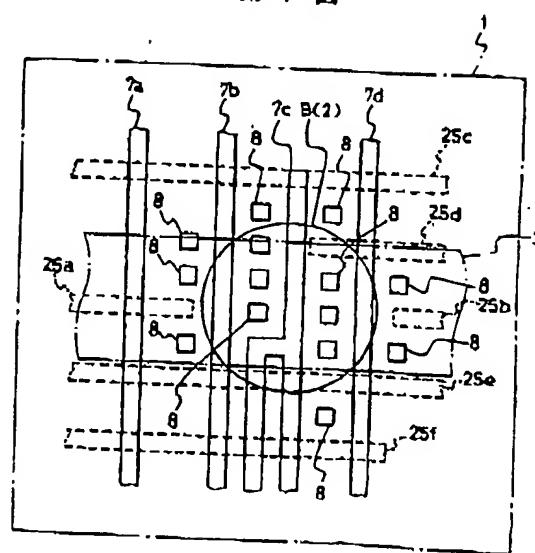
第 4 図



第 6 図



第 7 図

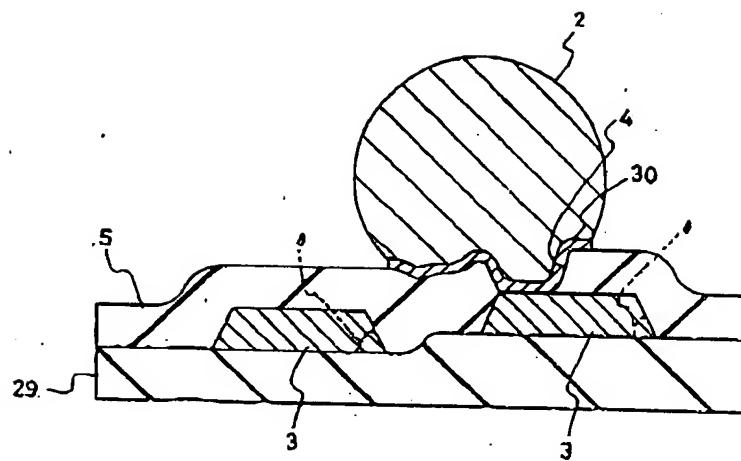


(12)

特開平3-38043

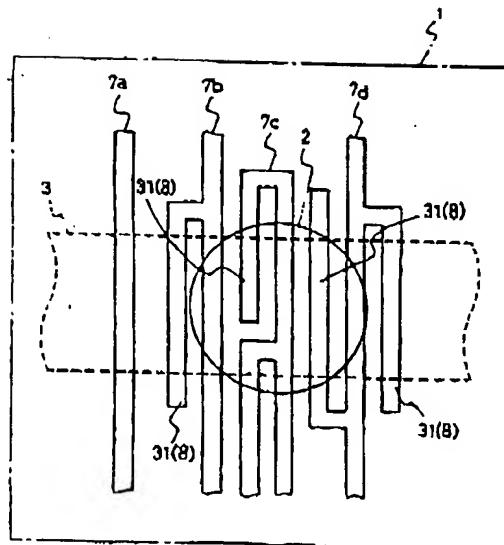
特開平3-38043 (12)

第8図

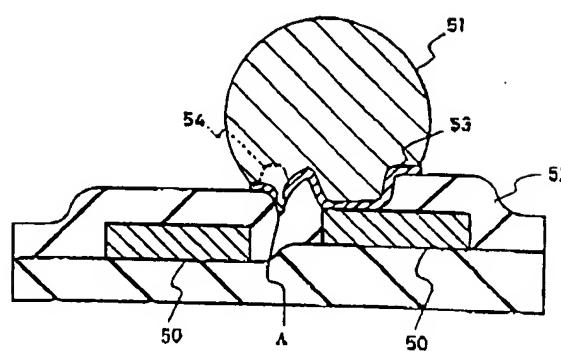


30: 半地下地盤

第9図



第10図



BEST AVAILABLE COPY